



RECEIVED
SEP 4 2002
1C 2800 MAIL ROOM

Partial English Translation of

LAID OPEN unexamined

JAPANESE PATENT APPLICATION

Publication No. 3-198344

Lines 3-19 of upper right column on page 5

- ③ The n^+ region 7 for reducing a resistance in a collector (impurity concentration; $1 \times 10^{17} \sim 10^{20} \text{ cm}^{-3}$) is formed.
- ④ The channel stop 6 is formed by ion implantation, thermal diffusion or the like.
- ⑤ The element isolation region 101 is formed by a selective oxidation method, a CVD method or the like.
- ⑥ The base region 4 is formed, B ions (F_2 , Ga or the like may be used instead of B) are implanted ($3 \times 10^{14} / \text{cm}^2$, 40KeV, in the case using B), and the heat treatment of 900°C for 20 minutes is performed (Figure 1(b)).
- ⑦ After an emitter contact opening is formed in the oxide film 102, the n^+ layer 5 (impurity concentration; $1 \times 10^{18} \sim 5 \times 10^{19} \text{ cm}^{-3}$) doped with As (Sb or the like may be used instead of As) is formed by ion implantation (thermal diffusion method, epitaxial growth or the like may be used.)

From lines 7 to 10 of lower left column, page 7

The materials used in the present invention are not limited to silicon, and other materials including, for example, GaAs, InP, SiC, Si-Ge, GaP and the like can be used in the present invention. Also, the present invention is applicable to heterojunction transistors.



(19)

Generated Document

(11) Publication number: 03198344 A

PATENT ABSTRACTS OF JAPAN

(21) Application number: 01339128

(51) Int'l. H01L 21/331 H01L 29/205 H01L 29/73
Cl.: H01L 31/10

(22) Application date: 27.12.89

(30) Priority:

(43) Date of application publication: 29.08.91

(84) Designated contracting states:

(71) Applicant: CANON INC

(72) Inventor: MORISHITA MASAKAZU

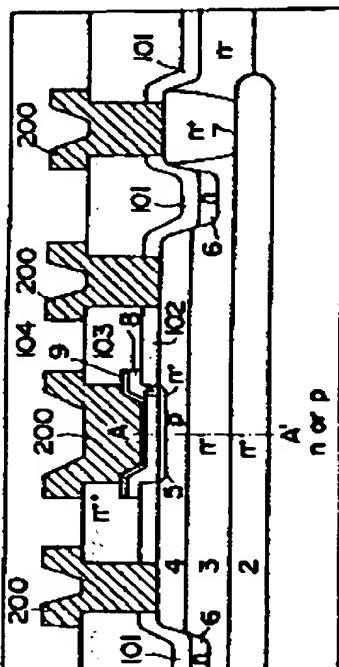
(74) Representative:

(54) SEMICONDUCTOR DEVICE AND PHOTOELECTRIC TRANSDUCER USING SAME

(57) Abstract:

PURPOSE: To increase current amplification factor and improve stability and reliability, by constituting an emitter as a three-layered structure of an n+ layer (first emitter region), an (n) layer (second emitter region), and an n++ layer (third emitter region).

CONSTITUTION: An n+ buried region 2, an n- region 3, a base region 4, an n+ region 7; and an element isolation region 101 are formed on a p-type or an n-type silicon substrate 1. After an either contact is opened in an oxide film 102, an n+ layer 5 doped with arsenic (As) is formed by ion-implanting method. Then polycrystalline silicon is deposited by LPCVD method, and an (n) layer 8 is formed by implanting phosphorus (P) by ion-implanting method. Next As is introduced as impurities by ion-implanting method, and an n++ layer 9 is formed only on the surface by quick heat treatment. Thus an emitter is completed. An insulating film 103 is deposited, Al-Si is patterned, and a passivation film is formed. Thereby the current amplification factor of a semicon ductor device is increased, the irregularity of each device is reduced, and the performance can be improved.



⑨ 日本国特許庁 (JP) ⑩ 特許出願公開
 ⑪ 公開特許公報 (A) 平3-198344

⑫ Int.CI.⁵
 H 01 L 21/331
 29/205
 29/73
 31/10

識別記号 庁内整理番号
 8225-5F

⑬ 公開 平成3年(1991)8月29日

8225-5F H 01 L 29/72
 7522-5F 31/10

審査請求 未請求 請求項の数 5 (全10頁)

A

⑭ 発明の名称 半導体装置およびこれを用いた光電変換装置

⑮ 特願 平1-339128
 ⑯ 出願 平1(1989)12月27日

⑰ 発明者 森下正和 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

⑱ 出願人 キヤノン株式会社 東京都大田区下丸子3丁目30番2号

⑲ 代理人 弁理士 福森久夫

明細書

1. 発明の名称

半導体装置およびこれを用いた光電変換装置

2. 特許請求の範囲

(1) 第1導電型のエミッタ領域、第2導電型のベース領域および第1導電型のコレクタ領域を少なくとも有する半導体装置において、

当該エミッタ領域が、当該ベースに隣接した不純物濃度 N_{e1} の第1エミッタ領域と該第1エミッタ領域に隣接した不純物濃度 N_{e2} の第2エミッタ領域と該第2エミッタ領域に隣接した不純物濃度 N_{e3} の第3エミッタ領域の3領域からなり、且つ、 $N_{e3} > N_{e1} > N_{e2}$ であることを特徴とする半導体装置。

(2) 自然対数の底を e とした場合、 $N_{e3} > e \cdot N_{e2}$ であることを特徴とする請求項1記載の半導体装置。

(3) 前記第2エミッタ領域および前記第3エミッタ領域が多結晶により形成されたことを特徴とする請求項1または請求項2記載の半導体装置。

置。

(4) 前記第1エミッタ領域、前記第2エミッタ領域および前記第3エミッタ領域が単結晶により形成されたことを特徴とする請求項1または請求項2記載の半導体装置。

(5) 請求項1～4記載の半導体装置を用いたことを特徴とする光電変換装置。

3. 発明の詳細な説明

【産業上の利用分野】

本発明は、半導体装置および光電変換装置に関し、より詳細には、バイポーラトランジスタのエミッタ領域を改良した半導体装置および光電変換装置に関する。

【従来の技術】

従来の半導体装置として、バイポーラトランジスタ（以下、BPT）を例にとって説明する。

第9図は、従来のBPTの一例を示す概略断面図である。図において、1は基板、2はn⁺埋め込み領域、3は不純物濃度の低いn⁻領域、4はベース領域となるp領域、5はエミッタ領域とな

る n^- 領域、6はチャネル・ストップとなる n^+ 領域、7はバイポーラトランジスタのコレクタ抵抗を下げるための n^- 領域、101、102、103、104は素子、電極および配線をそれぞれ分離するための絶縁膜、200は金属、シリサイド、ポリサイド等により形成された電極である。

ここで、シリコン基板1は、リン(P)、アンチモン(Sb)、ヒ素(As)等の不純物をドープして n^- 型とするか、あるいは、ボロン(B)、アルミニウム(Al)、ガリウム(Ga)等の不純物をドープして p^+ 型とする。埋め込み領域2は必須のものではない。 n^- 領域3はエビタキシャル技術等により形成される。ベース領域4には、ボロン(B)、ガリウム(Ga)、アルミニウム(Al)等とゲルマニウム(Ge)がドープされている。エミッタ領域5としては、多結晶シリコンまたは単結晶シリコンが用いられる。

通常、第9図に示したようなBPTのベース電

度、 D_p は正孔の拡散係数、 D_n は電子の拡散係数、 W_e はエミッタ中性領域の厚さ、 W_b はベース中性領域の厚さ、 L_p は正孔の拡散長($\sqrt{D_p \cdot t_p}$) $^{1/2}$)、 L_n は電子の拡散長($\sqrt{D_n \cdot t_n}$) $^{1/2}$)、 k はボルツマン定数、 T は絶対温度、 V_{be} はベース・エミッタ順バイアス電圧である。なお、 t_p は正孔の少数キャリア寿命、 t_n は電子の少数キャリア寿命である。

なお、通常は、 $J_{p1} > J_{p2}$ であり、 J_{p1} がベース電流の主成分となっている。

一方、エミッタの不純物濃度が高い(10^{20} cm $^{-3}$ 以上)場合には、バンドギャップナローイングが生じるので、ベースからエミッタへの正孔の拡散電流は、上記(1)式で n_1^2 を $n_1^2 e \times p$ ($\Delta E_g / kT$) におきかえたものとなる。

なお、コレクタ電流 J_c は、

$$J_c = q \cdot ((D_n \cdot N_1^2) / (N_b \cdot W_b)) \times [\exp(V_{be}/kT) - 1] \quad \dots (3)$$

で表され、 N_b 、 W_b に大きく依存する。

[発明が解決しようとする課題]

流は、主として、ベースからエミッタへの正孔の拡散電流 J_{p1} とエミッタから注入された電子の再結合電流 J_{p2} の2成分からなる(すなわち、 $J_p = J_{p1} + J_{p2}$)。これらのベース電流成分は、バンドギャップのナローイングが起こらない場合には、それぞれ、以下のように表される。

まず、ベースからエミッタへの正孔の拡散電流は、

$$J_{p1} = \left\{ \left(q \cdot n_1^2 \cdot D_p \right) / (N_b \cdot L_p) \right\} \times \coth(W_e/L_p) [\exp(V_{be}/kT) - 1] \quad \dots (1)$$

(但し、エミッタの先は金属である場合)
で、近似的に表される。

また、エミッタから注入された電子の再結合電流は、

$$J_{p2} = \left\{ \left(q \cdot n_1^2 \cdot D_n \cdot W_b \right) / (2 \cdot N_b \cdot L_n^2) \right\} \times [\exp(V_{be}/kT) - 1] \quad \dots (2)$$

(但し、 $L_n > W_b$ の場合)
で、近似的に表される。

なお、 q は電荷、 n_1 は電荷密度、 N_b はエミッタの不純物濃度、 N_b はベースの不純物濃

度、 D_p は正孔の拡散係数、 D_n は電子の拡散係数、 W_e はエミッタ中性領域の厚さ、 W_b はベース中性領域の厚さ、 L_p は正孔の拡散長($\sqrt{D_p \cdot t_p}$) $^{1/2}$)、 L_n は電子の拡散長($\sqrt{D_n \cdot t_n}$) $^{1/2}$)、 k はボルツマン定数、 T は絶対温度、 V_{be} はベース・エミッタ順バイアス電圧である。なお、 t_p は正孔の少数キャリア寿命、 t_n は電子の少数キャリア寿命である。

しかし、上述のような従来のBPTには、エミッタを単結晶シリコンによって形成した場合に、半導体装置の高集積化に伴なう微細化のために当該エミッタを浅くすると、 J_{p1} が大きくなり、このため電流増幅率が小さくなるという課題があった。

すなわち、エミッタを単結晶によって形成した場合には、通常、 $L_p > W_b$ であるため、上記(1)式で示した J_{p1} は、

$$J_{p1} = \left\{ \left(q \cdot n_1^2 \cdot D_p \right) / (N_b \cdot W_b) \right\} \times [\exp(V_{be}/kT) - 1] \quad \dots (1)$$

となる。ここで、微細化を行うためエミッタを浅くすると、 W_b が小さくなり、従って J_{p1} は大きくなる。また、電流増幅率 h_{re} は、

$$h_{re} = J_c / J_b = J_c / (J_{p1} + J_{p2})$$

で近似できるため、 J_{p1} が大きいほどは小さくなる。さらに、エミッタの不純物濃度が高い場合には、バンドギャップのナローイングによっても J_{p1} が増加する。

これに対して、エミッタとして高不純物濃度の

多結晶シリコンを用い、さらに、この多結晶シリコンからなるエミッタとシリコンからなるベースとの界面に薄いS-I-O₂膜を作成することにより、J₀₁を低減させることも可能である。しかし、この方法を用いた場合、h_{re}は増大するものの、エミッタの直列抵抗が大きくなることや、当該S-I-O₂膜を形成することが量産上非常に困難であるためBPTの特性の不安定化や信頼性の低下の原因となること等の課題があった。

本発明は、このような従来技術の課題に鑑みて試されたものであり、電流増幅率が大きく、且つ、安定性、信頼性に優れた半導体装置およびこれを用いた光電変換装置を提供することを目的とする。

【課題を解決するための手段】

本発明の半導体装置は、第1導電型のエミッタ領域、第2導電型のベース領域および第1導電型のコレクタ領域を少なくとも有する半導体装置において、当該エミッタ領域が、当該ベースに隣接した不純物濃度N_{z1}の第1エミッタ領域と該第1

減少させ、さらに、これにより、電流増幅率h_{re}(=J_c/J₀₁)を増大させるものである。

以下、本発明について、詳細に説明する。

第2図は、本発明による半導体装置の一例としてのBPTの電位図である。図において、W_{z'}はn⁺領域の厚みとn領域の厚みとの和である。なお、n⁺は第1エミッタ領域、nは第2エミッタ領域、n⁺⁺は第3エミッタ領域をそれぞれ示している。本発明に係るBPTにおける、エミッタに注入される電流の少数キャリアは、n⁺領域の濃度により決定される。また、エミッタの幅は、W_{z'}で決定される。

本発明で特に重要なのは、エミッタ領域のn⁺⁺領域とn領域の間の電位の高さ△φである。この電位障壁により、ベースからエミッタへ注入された正孔を止めることができる。

この電位障壁により、ベースからエミッタへ注入された正孔を、止めることができるので、ベースからエミッタへの正孔の拡散電流J₀₁は、次の式で表わされる(なお、バンドギャップナローイ

エミッタ領域に隣接した不純物濃度N_{z2}の第2エミッタ領域と該第2エミッタ領域に隣接した不純物濃度N_{z3}の第3エミッタ領域の3領域からなり、且つ、N_{z3}>N_{z2}>N_{z1}であることを特徴とする。

上記特徴においては、N_{z3}>e·N_{z2}であることが望ましい。

上記特徴においては、前記第2エミッタ領域および前記第3エミッタ領域が多結晶により形成されることが望ましい。

上記特徴においては、前記第1エミッタ領域、前記第2エミッタ領域および前記第3エミッタ領域が単結晶により形成されることが望ましい。

本発明の光電変換装置は、上記本発明の半導体装置を用いたことを特徴とする。

【作用】

本発明は、半導体装置のエミッタを上述のごとき三層構造にすることにより、ベースからエミッタへの正孔の拡散電流J₀₁を減少させ、これにより、ベース電流J₀₂(=J₀₁+J₀₂)を

減少させ、さらに、これにより、電流増幅率h_{re}(=J_c/J₀₂)を増大させるものである。

$$J_{01} = \left((q \cdot D_p \cdot n_1^2) / (L_p \cdot N_z) \right) \exp(\Delta E_q / kT) \times \tanh(W_{z'} / L_p) \cdot (\exp(V_{Bz} / kT) - 1) \quad \dots (4)$$

また、ここで、第1エミッタと第2エミッタの厚みの和であるW_{z'}を、L_p>W_{z'}となるよう形成すれば、上記(4)式は、次式のように近似することができる。

$$J_{01} = \left((q \cdot D_p \cdot n_1^2) / N_z \right) \cdot \exp(\Delta E_q / kT) \times (W_{z'} / L_p) \cdot (\exp(V_{Bz} / kT) - 1) \quad \dots (4')$$

本発明は、まず第1に、n⁺⁺領域とn領域との電位障壁をなるべく大きくすることによってベースからエミッタへ注入された正孔を止めることにより(すなわち上記(4)式をなりたたせるようにすることにより)、J₀₁を小さくするものである。

第2に、本発明は、n⁺領域の濃度N_{z1}を、 $\left((q \cdot D_p \cdot n_1^2) / N_z \right) \cdot \exp(\Delta E_q / kT)$ が極小になる濃度にすることによって、J₀₁を小さくするものである。

さらに本発明によれば、エミッタを

$L_p > W_e'$ となるように形成することにより、 J_{D1} を W_e / L_p 倍し、これにより、 J_{D1} を小さくすることも可能である。

以下、 n^{++} 領域と n 領域との電位障壁 $\Delta\phi$ について、さらに詳細に説明する。

$\Delta\phi$ の値は、 n^{++} 領域と n 領域のフェルミレベルの差によって決まる。

半導体のフェルミレベルは近似的に次式で表わされる。

$$n\text{型半導体 } E_F - E_F - kT - \ln(N_D/n_i) \quad \dots (5)$$

$$p\text{型半導体 } E_F - E_F - kT - \ln(N_A/n_i) \quad \dots (6)$$

ここに、 E_F はフェルミレベル、 N_D は n 形不純物の濃度、 N_A は p 形不純物の密度である。

しかし、上記 (5) 式および (6) 式はボルツマン統計の使用できる範囲でのみ成立し、不純物密度がフェルミディラック統計が適用されるような高濃度であるばあいには上記 (5) 式および (6) 式からはずれてしまう。

第3図に、 $S1$ におけるフェルミレベル E_F とキャリア密度との関係を示す。図において、横軸

正孔阻止の効果を得るために $\Delta\phi > kT$ なるように不純物濃度を設定すればよい。また、 $\Delta\phi > 2kT$ にするとさらに効果が大きくなり、 J_{D1} を (4) 式で表わすことができるようになる。

$\Delta\phi > 2kT$ とするためには、 n^{++} の不純物濃度 N_{ez1} と n の不純物濃度 N_{ez2} の関係を、

$$N_{ez1} > e^2 N_{ez2}$$

とすればよい。

以上、 n^{++} 領域と n 領域との電位障壁 $\Delta\phi$ について説明した。

次に、エミッタを形成する各領域の濃度について説明する。

n^+ の不純物濃度 N_{ez1} と上記 N_{ez2} および N_{ez3} の関係は、

$$N_{ez1} > N_{ez2} > N_{ez3}$$

としなければならない。

N_{ez1} は、 $((q \cdot D_p \cdot n_i^2) / N_e) \cdot \exp(\Delta E_F / kT)$ を極小にするためには、 $1 \times 10^{18} < N_{ez1} < 5 \times 10^{19}$ cm^{-3} とすることが望ましい。また、 N_{ez3} は、

は、 kT で規格化されたエネルギーであり、 n 形半導体の場合は $(E_F - E_c) / kT$ 、 p 形半導体の場合は $(E_v - E_F) / kT$ である。なお、 E_c 、 E_v はそれぞれ伝導体、価電子帯端のエネルギーである。また、横軸はキャリア密度 (cm^{-3}) であり、常温では不純物密度とほぼ等しい。図からわかるように、規格化エネルギーが零のときはフェルミレベルが E_c 、 E_v と一致し、それより高濃度であると E_F は帯止帯の中にはなく、バンド帯の中に入り込む。このときの不純物濃度は、 n 形で $2 \cdot 1 \times 10^{19} \text{ cm}^{-3}$ 、 p 形で $8 \times 10^{19} \text{ cm}^{-3}$ である。

図中、実線で示したものはボルツマン統計を使用した場合を示すが、規格化エネルギーが -1 より大きい場合には、両方の統計で差が生じ、フェルミディラック統計を使わないとフェルミエネルギーは正確に評価できない。

n 形と p 形の差はバンド構造の違いおよび有効質量の差から生ずる。また、材料が異なれば当然この値は異なる。

10^{19} cm^{-3} 以上とすることが望ましい。さらに、 N_{ez3} は、 $5 \times 10^{18} \text{ cm}^{-3}$ 以下とすることが望ましい。

次に、上記 (4)' 式を成立させるための方法について説明する。

不純物濃度の高い n 型単結晶シリコン中の少數キャリアの拡散距離は、近似的に、次式で表わされる（但し、不純物濃度を $1 \times 10^{19} \text{ cm}^{-3}$ 以上とする）。

$$L_p = 2.77 \times 10^{14} \cdot N_{ez}^{-0.941} (\text{cm}) \quad \dots (7)$$

例えば、 $N_{ez1} = 10^{19} \text{ cm}^{-3}$ であれば、 n^+ 領域における少數キャリアの拡散距離は、 $L_{ez1} = 3.6 \mu\text{m}$ である。

ここで、 $W_e' \leq L_{ez1} / 10$ であれば、 $L_p > W_e'$ となり、上記 (4)' 式は充分成り立つ。例えば W_e' を n^+ 領域における L_{ez1} の $1 / 10$ にすれば、 J_{D1} は、単結晶シリコンをエミッタとして用いた従来の BPT の $1 / 10$ にすることができる。

【実施例】

以下、本発明の実施例について、図を用いて説明する。

(実施例 1)

本発明の半導体装置の一実施例について、BPTを例に探って説明する。

第1図は本実施例のBPTを示す概略断面図である。図において、第9図と同じ符号を付したものは、それぞれ同図と同じものを示している。

また、エミッタは3層構造になっており、n⁺層(第1エミッタ領域)5、n層(第2エミッタ領域)8、n⁺⁺層(第3エミッタ領域)9からなっている。

次に、第1図に示した半導体装置の製造プロセスについて説明する。

①p型あるいはn型シリコン基板1に、As、Sb、P等をイオン注入(不純物拡散等でもよい)することにより、n⁺埋め込み領域2(不純物濃度 $1 \times 10^{14} \sim 10^{17} \text{ cm}^{-3}$)を作製する(第1図(a))。

②エピタキシャル技術等により、n⁻領域3

た後、イオン注入法(熱拡散法等でもよい)によりP(リン)を注入し、n層8を形成する。

なお、この多結晶シリコンは、CVD時に不純物をドープしたドープド多結晶シリコンでもよい。また、不純物濃度は $5 \times 10^{18} \text{ cm}^{-3}$ 以下であることが好ましい。

③イオン注入により、n層8上に、As(Sb等でもよい)を不純物として導入し、急速熱処理(例えば900℃、10秒、N₂)によって表面のみにn⁺⁺層9を作成した後、バターニングを行ない、エミッタを完成させる(第1図(c))。

④絶縁膜103を堆積し、これをアニールした後、コンタクトの開口を行なう。

⑤電極200となるAl-Siをスパッタし、その後、Al-Siのバターン化を行なう。

⑥Al-Si電極のアロイ後104のバッジーション膜を作成する(第1図(d))。

以上、本実施例に係るBPTの製造プロセスについて説明したが、この製造プロセスにおいて最も重要であるのは、エミッタを形成する工程の～

(不純物濃度 $1 \times 10^{14} \sim 10^{17} \text{ cm}^{-3}$)を作製する。

⑦コレクタの抵抗を減少させるためのn⁺領域7(不純物濃度 $1 \times 10^{17} \sim 10^{20} \text{ cm}^{-3}$)を形成する。

⑧イオン注入、熱拡散等により、チャネルストップ6を形成する。

⑨素子分離領域101を、選択酸化法、CVD法等により作成する。

⑩ベース領域4を作製し、B(Bの代りにBF₃やGa等を用いてもよい)をイオン注入し(例えばBであれば、 $3 \times 10^{14} / \text{cm}^2$ 、40k_{eV})、900℃で20分間の熱処理を行なう(第1図(b))。

⑪酸化膜102にエミッタ・コンタクトを開口した後、As(Sb等でもよい)をドープしたn⁺層(不純物濃度 $1 \times 10^{18} \sim 5 \times 10^{19} \text{ cm}^{-3}$)5をイオン注入法により形成する(熱拡散法エビ成長法等でもよい)。

⑫LPCVD法により多結晶シリコンを堆積し

⑬である。

第4図に、エミッタ中の不純物分布の一例を示す。図において、横軸はエミッタの深さ方向距離(μm)を示し、縦軸は不純物原子数/cm³を示す。

本実施例においては、エミッタに使用する不純物として、二種類の不純物を使用した。最初に、拡散係数の小さい不純物であるヒ素(As)を工程⑦でn⁺層5の形成に用い、工程⑬で拡散係数の速いリン(P)を低温(800～850℃)で拡散してn層8を形成した後、再び拡散係数の小さいAsをイオン注入して急速熱加速(900℃10秒)により分布を変化させないようにしてn⁺⁺層9を作成した。

n⁺⁺層/n層の構造は容易に作成できるが、n⁺層の作成は、通常の製造方法では容易ではない。上記工程の工程⑬で、拡散係数の速い不純物であるAs(またはSb等)を使用したことは、非常に重要である。この方法は、特に、酸化膜102あるいはレジストをマスクとした自己整合法に

よってエミッタを形成する場合には特に有効である。

また、多結晶シリコンを使ったエミッタ構造においては、第4図に示したように、後で拡散したPがAsを越えて拡散しないことは、BPTの特性のバラツキをおさえる上で非常に重要である。後で拡散したPがAsを越えて拡散しないことにより、工程⑥で作成した自己整合エミッタが安定となるため、多結晶シリコンを介したエミッタの作成の欠点を改善することができる。

多結晶シリコンでは不純物が粒界を介して拡散するため、この不純物が単結晶中にまで拡散した場合、第5図に矢印Aで示したように、粒界近傍で拡散深さが深くなり、BPTの電流増幅率 h_{re} のバラツキやベース容量、エミッタ容量のバラツキの原因となる。

本発明のエミッタ構造では、後で拡散したPがAsを越えて拡散しないという特性を利用することにより、この課題を解決している。

このようにして作成したBPTについて、動作

以下、本実施例に係るBPTの製造方法について説明する。

①上記実施例1の工程①～⑦を行なうことにより、n⁺埋め込み領域2、n⁻領域3、n⁻領域7、チャネルストップ6、素子分離領域101、ベース領域4、酸化膜102、n⁺層5を作成した。

②炉中で、900°C、10 Torr、H₂雰囲気中の条件下で表面の清浄化を行った後、850～900°C、50 Torr、SiH₄、C₂H₂ + H₂、pH₂雰囲気中で、エピタキシャル法により、n層8を作成した。

③その後、上記実施例1の工程⑨と同様にしてn⁺層9を形成し、さらに、同じく工程⑩～⑫と同様にしてBPTを完成させた。

このようにして作成したBPTについて、動作試験をし、また、動作速度も向上させることができた。

(実施例3)

本発明の第3の実施例として、実施例1に示し

試験をしたところ、非常に優れた電流増幅率を示した。

(実施例2)

上記実施例1においては、エミッタを形成するn層8とn⁺層9を多結晶シリコンにより形成した場合について説明したが、本実施例では、n層8とn⁺層9を単結晶で作成した場合について説明する。

エミッタを形成するn層8およびn⁺層9を単結晶で作成した場合には、エミッタ抵抗を小さくすることができるという利点がある。

第6図は、単結晶シリコンと多結晶シリコンについての、不純物濃度と抵抗率ρの関係を示すグラフである。

本発明では、特に、n層8の不純物濃度を $5 \times 10^{18} \text{ cm}^{-3}$ 以下にすることが望ましいので、エミッタ抵抗を小さくできることは非常に大きい利点となる。

このようにエミッタ抵抗を下げるこにより、BPTの動作速度の高速化を図ることができる。

たBPTを用いた光電変換装置の一例について説明する。

第7図は、本実施例に係る光電変換装置の概略的回路図である。

本実施例では、センサS(S₁、S₂...)がライン状に配列されたラインセンサについて説明する。

各センサSは、バイポーラトランジスタと、そのベースに接続されたリセットトランジスタQ_{res}とから構成される。バイポーラトランジスタのベースに入射光により励起されたキャリアが蓄積され、エミッタへ絶出され、そしてQ_{res}をONすることで一定電位にリセットされる。

各センサSのQ_{res}のゲート電極には、ON/OFF制御するためパルスφ_{res}が入力し、Q_{res}の他方の主電極には、一定電圧V_{res}が印加されている。

各センサSのコレクタ電極には一定の正電圧が印加されており、エミッタ電極は垂直ラインし(L₁、L₂...)に各々接続されている。

各垂直ライン上には、トランジスタ Q_{100} を介して、一定電圧 V_{DD} が印加され、 Q_{100} のゲート電極には ON / OFF 制御のためのパルス ϕ_{DD} が入力する。

また、各垂直ライン上には、蓄積用キャパシタ C_s に各々接続され、更にトランジスタ Q_s を介して、BPT から信号を出力する。

このようなラインセンサの動作試験を行なったところ、各センサセルの特性バラツキがほとんどなく、かつ電流の増幅率が大きい、優れたラインセンサを得ることができた。

(実施例 4)

本発明に係る光電変換装置の他の実施例として、上記実施例 1 に示した BPT を用いたエリアセンサの一例について説明する。

第 8 図は、本実施例に係るエリアセンサを示す回路図である。第 8 図において、 T^* で示した部分に、上記実施例 1 で示した BPT を使用する。

例えば、第 8 図に示したエリアセンサをカラーカメラとして使用する場合には、同一の光電変換

ことができる所以、非破壊度を大きくすることができる。

このようなエリアセンサの動作試験を行なったところ、各センサセルの特性バラツキがほとんどなく、且つ非破壊度が大きい、優れたエリアセンサを得ることができた。

本発明の材料はシリコンに限定されず、他の材料、例えば GaAs、InP、SiC、Si-Ga、GaP 等にも適用でき、また、ヘテロ接合トランジスタにも適用できるものである。

[発明の効果]

以上説明したように、本発明によれば、半導体装置の電流増幅率を向上させ、且つ半導体装置毎のバラツキを低減することが可能である。

また、本発明によれば、各センサセルのバラツキが少なく、且つ優れた性能を有する光電変換装置を提供することが可能となる。

4. 図面の簡単な説明

第 1 図は本実施例の BPT を示す概略断面図、

第 2 図は本発明による半導体装置の一例として

素子の光情報を複数回読み出す動作を行う。この際、同一素子から複数回読み出すために、1 回目の読み出し時と 2 回目以降の読み出し時との電気出力の比が問題となる。この値が小さくなると、信号の補正が必要となる。

上記 1 回目と 2 回目との読み出し出力の比を非破壊度と定義すると、非破壊度は次式で表される。

$$\text{非破壊度} = (C_{tot} \times h_{re}) / (C_{tot} \times h_{re} + C_v) \quad \dots (8)$$

ここで、 C_{tot} は図中 T^* で示される光電変換素子のベースに接続されている全容量を示し、ベース・エミッタ間容量 C_{be} とベース・コレクタ間容量 C_{bc} と C_{re} により決まる。 C_v は V_L 、 $-V_L$ で示される読み出し線路の浮遊容量である。ただし、 C_v は回路方式によっては存在しない場合もある。

非破壊度は h_{re} を大きくすることにより容易に改善できる。すなわち、上記実施例 1 に示した BPT を使用することにより、 h_{re} を大きくする

の BPT の電位図、

第 3 図は第 1 図に示した BPT における S_1 におけるフェルミレベル E_F とキャリア密度との関係を示すグラフ、

第 4 図は第 1 図に示した BPT におけるエミッタ中の不純物分布の一例を示すグラフ、

第 5 図は多結晶シリコン層と单結晶シリコン層との界面における不純物の分布の改善について説明するための模式的断面図、

第 6 図は单結晶シリコンと多結晶シリコンについての不純物濃度と抵抗率 ρ の関係を示すグラフ、

第 7 図は本発明の 1 実施例に係る光電変換装置の概略的回路図、

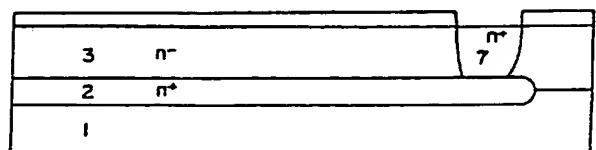
第 8 図は本発明の他の実施例に係る光電変換装置の概略的回路図、

第 9 図は従来の BPT の一例を示す概略断面図である。

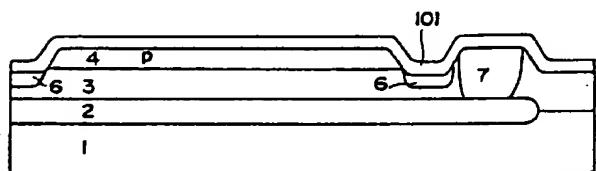
(符号の説明)

1…基板、2…n⁺埋め込み領域、3…不純物濃度の低いn⁻領域、4…ベース領域、5…エミッタ領域となるn⁻領域、6…チャネル・ストップとなるp領域、7…バイポーラトランジスタのコレクタ抵抗を下げるためのn⁻領域、8…エミッタ領域となるn⁻領域、9…エミッタ領域となるn⁺⁺領域、101, 102, 103, 104…素子、電極および配線をそれぞれ分離するための絶縁膜、200…電極。

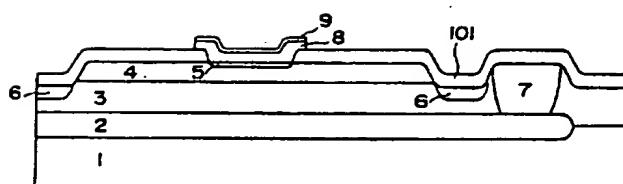
第1 図(a)



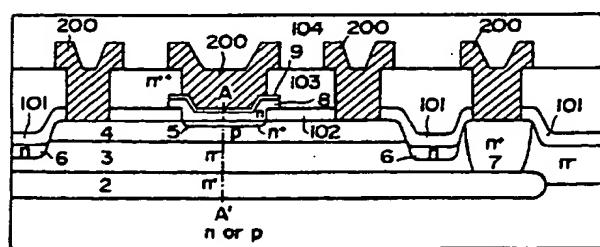
第1 図(b)



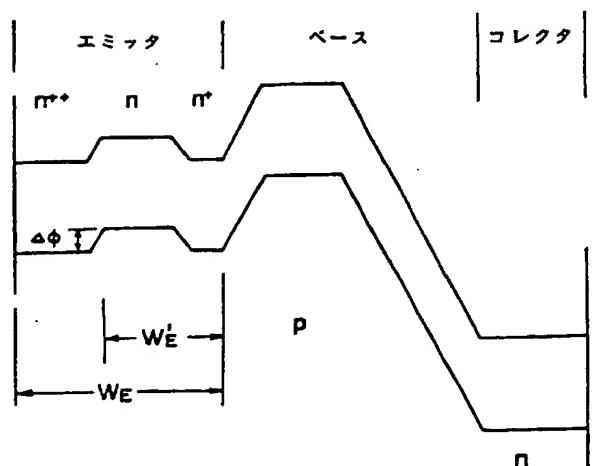
第1 図(c)



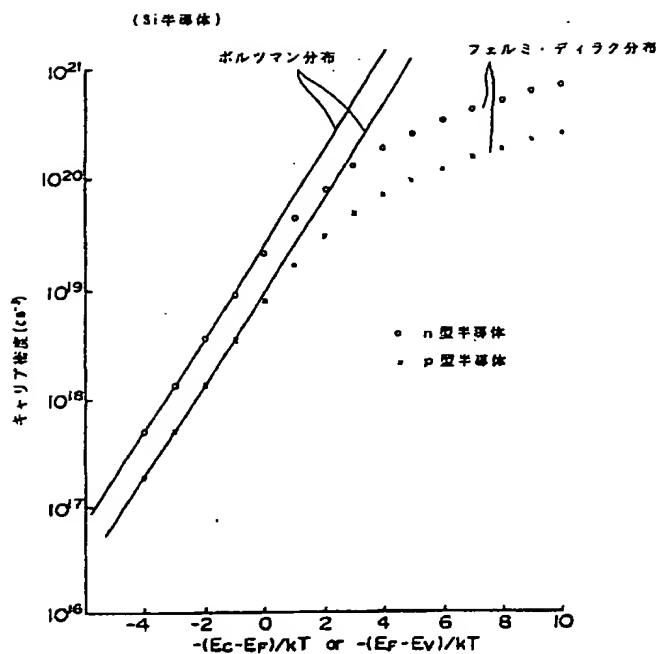
第1 図(d)



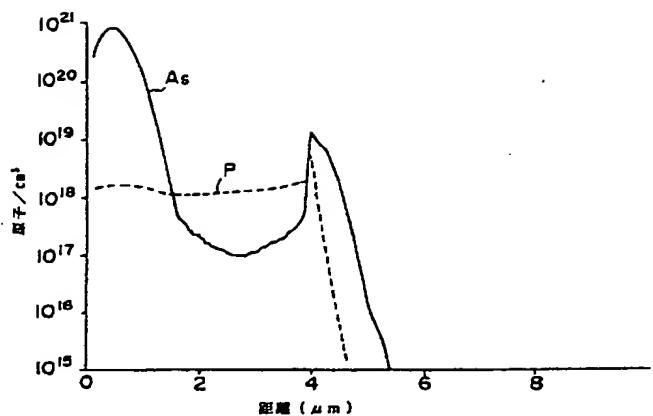
第2 図



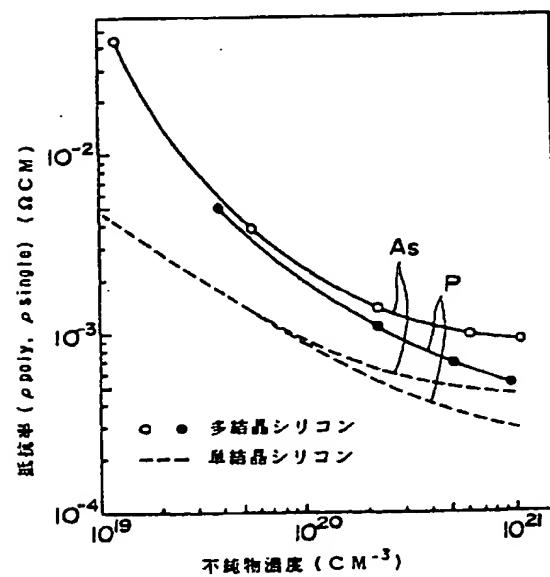
第3図



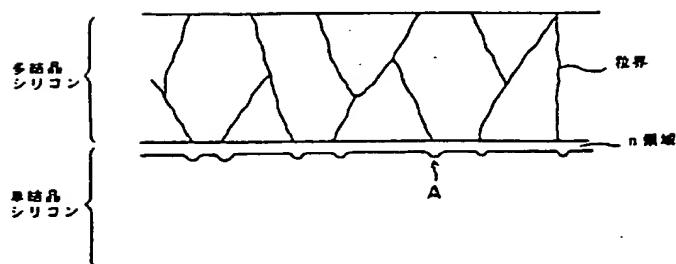
第4図



第6図

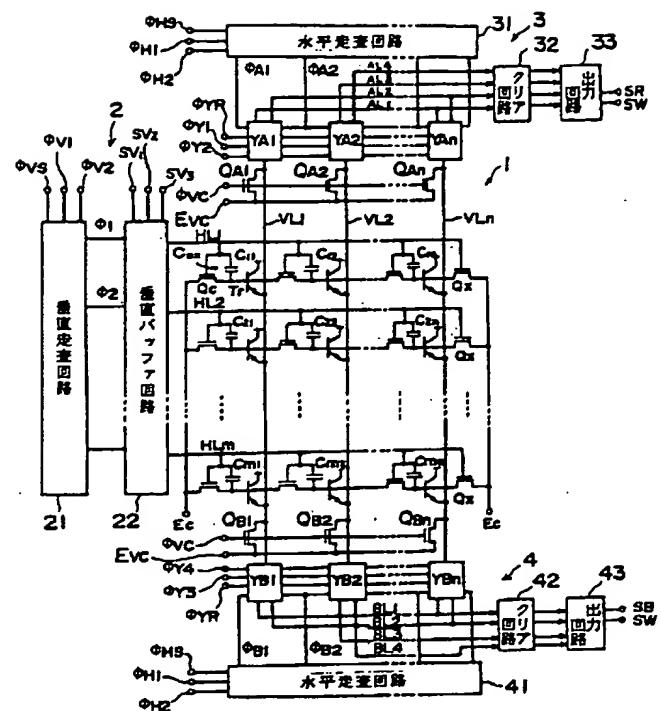
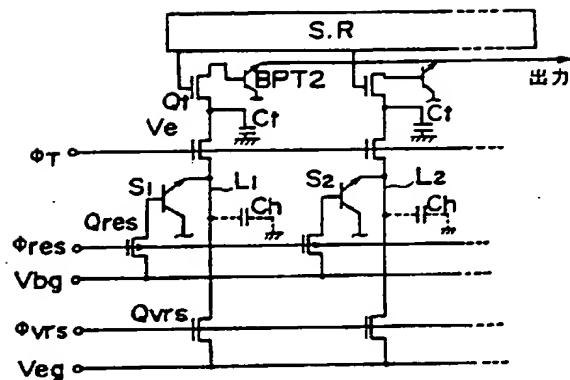


第5図



第 8 図

第 7 図



第 9 図

